

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

2000年 2月14日

出 願 番 号

Application Number:

特願2000-035801

願 人

Applicant(s):

シャープ株式会社

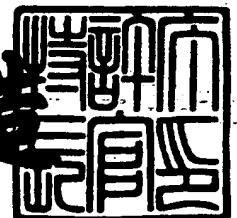
CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特 許 庁 長 官

Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3098599

(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT

#2

JC840 U.S. PTO
09/764799



This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : February 14, 2000

Application Number : Patent Appln. No. 2000-035801

Applicant(s) : SHARP KABUSHIKI KAISHA

Wafer
of the
Patent
Office

December 1, 2000

Kozo OIKAWA

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2000-3098599

【書類名】 特許願

【整理番号】 99J03451

【提出日】 平成12年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335
H01L 27/146

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 渡辺 恭志

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005652

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 光電変換素子と電荷検出部とがトランスファゲートで分離されており、該電荷検出部が、リセットゲートを介してドレインに接続されると共に、該電荷検出部の電位変化が増幅用トランジスタで増幅され、該増幅用トランジスタの出力信号が画素選択用トランジスタにて選択的に読み出される、固体撮像装置であって、

該電荷検出部の電位をリセットした後、光電変換素子から該電荷検出部へ電荷転送を行い、該増幅用トランジスタおよび該画素選択トランジスタを介して信号電荷の読み出しを行った後に、該トランスファゲートおよび該リセットゲート共に ON 状態で、該ドレインを High 状態→Low 状態→High 状態へ変化させることによって、該光電変換素子の電位が読み出し動作毎に一定電位にプリセットされるようになっていることを特徴とする固体撮像装置。

【請求項 2】 複数の前記光電変換素子がマトリクス状に配列されており、前記ドレインは、水平方向に行単位で走査回路に独立に接続されており、走査回路によりパルス状の駆動電圧を行単位で順次印加される請求項 1 に記載の固体撮像装置。

【請求項 3】 前記電荷検出部の電位をリセットした直後の信号と、前記光電変換素子から前記電荷検出部へ電荷転送を行った直後の信号との差分に基づいて、正味の信号成分を出力する相関 2 重サンプリング回路が設けられている請求項 1 に記載の固体撮像装置。

【請求項 4】 前記トランスファゲート、前記リセットゲート、前記増幅用トランジスタおよび画素選択用トランジスタは、すべて同じ極性の MOS トランジスタによって形成されている請求項 1 に記載の固体撮像装置。

【請求項 5】 前記トランスファゲートおよび前記リセットゲートは、共に埋め込みチャネル型 MOS トランジスタである請求項 4 に記載の固体撮像装置。

【請求項 6】 前記トランスファゲートを駆動するパルス電圧のハイレベルは、前記リセットゲートを駆動するパルス電圧のハイレベルより低い電圧である

請求項 5 に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、新規の駆動方法を用いた固体撮像装置に関する。

【0002】

【従来の技術】

各画素毎に増幅機能を持たせた画素部と画素部の周辺とに走査回路を有し、その走査回路により画素データを読み出す増幅型固体撮像装置が提案されている。特に、増幅型固体撮像装置として、画素構成を周辺の駆動回路および信号処理回路との一体化に有利なCMOSにより構成した、APS (Active Pixel Sensor) 型イメージセンサが知られている。

【0003】

APS型イメージセンサは、1画素内に光電変換部、増幅部、画素選択部、リセット部を形成する必要がある、通常フォトダイオード(PD)からなる光電変換部の他に3個～4個のMOS型トランジスタ(T)が用いられている。

【0004】

図6に1個のフォトダイオード(PD)と4個のMOS型トランジスタ(T)を用いて、PD+4T方式としたAPS型イメージセンサの構成を示す。PD+4T方式は、R. M. Guidash et al., IEDM Tech. Digest, P. 927 (1997)に開示されている。図6に示すAPS型イメージセンサでは、PDとしてフォトダイオード1、4Tとしてトランスファゲート2、リセットゲート3、増幅用トランジスタ4、画素選択用トランジスタ5とによって構成されている。電荷転送クロックライン12、リセットクロックライン13および画素選択クロックライン15は、水平方向の駆動パルス電圧を供給する。電荷転送クロックライン12、リセットクロックライン13および画素選択クロックライン15の駆動パルス電圧は、それぞれVTX、VRS、VSEである。電荷転送クロックライン12、リセットクロックライン13および画素選択クロックライン15は、それぞれ垂直走査回路23、22、21に接続されて

おり、 i 行目の駆動パルス電圧 $VRS(i)$ 、 $VSE(i)$ 、 $VTX(i)$ がそれぞれリセットゲート 3、画素選択用トランジスタ 5 のゲート、トランスファゲート 2 へ印加されている。垂直方向には、電源線 14 と垂直信号線 16 とが引き出されている。各列毎の垂直信号線 16 には、負荷トランジスタ 17 が接続されており、垂直信号線 16 の信号が駆動トランジスタ 31 および水平選択スイッチトランジスタ 32 を介して、水平信号線 36 に伝達される。水平選択スイッチトランジスタ 32 は、水平走査回路 34 からの水平走査信号 35 により駆動される。水平信号線 36 には、負荷トランジスタ 33 が接続されており、水平信号線 36 の信号がバッファアンプ 37 で増幅され出力 OS として出力されている。

【0005】

図 7 は、図 6 で示した PD+4T 方式の回路動作を説明するタイミングチャートである。VD は電源電圧である。 i 行目、 $i+1$ 行目の各駆動パルス電圧 $VRS(i)$ 、 $VSE(i)$ 、 $VTX(i)$ および $VRS(i+1)$ 、 $VSE(i+1)$ 、 $VTX(i+1)$ は、1 水平走査期間 (1H) を隔てて同様の駆動パルス電圧波形であるため、 i 行目について説明する。

【0006】

電源電圧 VD は、一定電圧である。期間 t_1 では、リセットゲート 3 : RS (i) が ON 状態となり、ゲートのポテンシャルエネルギーが下がるために電荷検出部 FD よりリセットゲート 3 : RS (i) のドレインへ電荷移動が起こり、電荷検出部 FD の電位が電源電圧 VD にリセットされる。期間 t_2 では、リセットゲート 3 : RS (i) は、OFF 状態となるが電荷検出部 FD ではリセット時の電位 VD が保持される。期間 t_3 では、トランスファゲート 2 : TX (i) が ON 状態となり、ゲートのポテンシャルエネルギーが下がるためにフォトダイオード 1 : PD に蓄積された信号電荷が電荷検出部 FD へ転送される。期間 t_4 では、トランスファゲート 2 : TX (i) が OFF 状態となるが電荷検出部 FD では信号電荷転送時の電位が保持される。期間 t_6 では、トランスファゲート 2 : TX (i)、リセットゲート 3 : RS (i) が共に ON 状態となり、両方のゲートのポテンシャルエネルギーが下がるためにフォトダイオード 1 : PD および電荷検出部 FD よりリセットゲート 3 : RS (i) のドレインへ電荷移動が起こり、

フォトダイオード 1 : P D の電位は、後述するトランスファークラークハイレベルに依存する電位 (F k) に、また電荷検出部 F D の電位が電源電圧 V D にリセットされる。期間 t 7 では、トランスファークラーク 2 : T X (i) が O F F 状態となり、フォトダイオード 1 : P D を外部回路から遮断し、その電位をトランスファークラークに依存する電位 (F k) に保持した後に電荷検出部 F D をも外部回路から遮断するための予備期間である。

【 0 0 0 7 】

期間 t 1 ~ t 4 では、画素選択クロックライン 1 5 の駆動パルス電圧 V S E (i) が画素選択用トランジスタ 5 のゲートへ印加され、画素選択用トランジスタ 5 が O N 状態となり、期間 t 1 ~ t 4 の電荷検出部 F D での検出信号が垂直信号線 1 6 へ出力される。

【 0 0 0 8 】

期間 t 1 ~ t 7 の一連の回路動作は、水平ブランキング期間 H - B L K 内で行われ、期間 t 2 ではリセット信号、および期間 t 4 では検出信号が垂直信号線 1 6 に現れるから、その後の相関 2 重サンプリング (C D S : correlated double sampling) 処理により期間 t 2 および期間 t 4 の信号レベルの差を取れば、正味の信号を得ることができる。これらの信号は水平有効期間 H - E F F の間に水平走査回路 3 4 により順次読み出される。

【 0 0 0 9 】

【発明が解決しようとする課題】

以上、説明した図 6 の回路構成および図 7 の回路動作では、フォトダイオードから電荷検出部 F D への電荷転送時に、以下の問題が生じる。図 8 は、フォトダイオード 1 : P D (i) 、トランスファークラーク 2 : T X (i) 、リセットゲート 3 : R S (i) 、電荷検出部 F D の各部のポテンシャルエネルギーを示す。図 8 の回路動作を図 7 のタイミングチャートに従って説明する。

【 0 0 1 0 】

図 7 の期間 t 1 で電荷検出部 F D の電位を電源電圧 V D にリセットした後、期間 t 3 でフォトダイオード 1 : P D に蓄積した信号電荷が読み出される。この時、読み出される信号電荷量は、信号レベルのポテンシャルエネルギー F s からト

ランスファゲート 1 : TX (i) の ON 状態でのハイレベルポテンシャルエネルギー F_0 までの量ではなく、更に $\Delta 1$ だけ深いポテンシャルエネルギーまでの量である。これは、熱放出効果により、フローティング状態のフォトダイオード 1 : PD からポテンシャルエネルギーバリア $\Delta 1$ を越えて余分な電荷が放出されるためである。

【 0 0 1 1 】

この現象は、信号読み出し動作毎に生じる。明るい信号状態の後に、暗い信号状態が数回の読み出し期間にわたって続くと、読み出し動作後のフォトダイオード 1 : PD のポテンシャルエネルギーは、 $\Delta 2$, $\Delta 3$, $\Delta 4$ のように順次深くなっていく。このことは、暗い状態にもかかわらず微少な信号が出力されることを示している。さらに、もう一度明るい信号が来た場合には、深くなったポテンシャルレベルを基準に、信号電荷は蓄積していくため、その分目減りした信号電荷量となる。

【 0 0 1 2 】

したがって、暗い信号の後に明るい信号が最初に入力されると信号電荷量の減少が起こり、明るい信号の後に暗い信号が最初に入力されると余分な信号電荷が出力されてしまう。即ち、図 6 の回路構成および図 7 の回路動作では、残像現象が発生することになる。なお図 8 のリセットゲート 3 : RS (i) は、埋め込みチャネル型とされ、トランスファゲート 2 : Tx (i) より深いポテンシャルエネルギーを有している。

【 0 0 1 3 】

残像現象の抑圧には、従来よりバイアス電荷の導入が有効であることが知られている。例えば BBD (bucket brigade device = バケツリレー素子) では本質的にこのような動作の連続となるため、信号電荷とは別の一定量のバイアス電荷が導入される。イメージセンサのフォトダイオードの場合には、バイアスライトを設けることがバイアス電荷の導入に相当する。しかしながら、バイアスライトを設けることは、素子の使用に対し大きな負担となり、また光電変換ノイズの増大にもなる。

【 0 0 1 4 】

他の方法としては、フォトダイオードへの電荷注入領域を別途設け、電荷注入領域からフォトダイオード側へ一度バイアス電荷を注入した後、スキミング転送により再度ダイオード側から電荷注入領域へ戻し、過剰転送分に相当する電荷のみダイオードに残す方法が開示されている（曾根 他、テレビジョン学会技術報告 E D 6 2 1、(1 9 8 2)）。この方法を光導電膜積層型 C C D に適用した例もある（特開平 2 - 1 9 6 5 7 5 公報）。これらの方法は、本来の構成素子に加えて電荷注入領域（例えばインプットソース）と制御ゲート（例えばスキミング用制御ゲート T G 2）とを付加する必要がある、高密度の画素が求められる増幅型固体撮像素子では基板上のレイアウトにおいて重大な問題となる。

【 0 0 1 5 】

更に別の解決法としては、フォトダイオードを完全空乏層型とし、読み出し時にフォトダイオード側に信号電荷が残留しない構造とすることが開示されている。読み出し時にフォトダイオード側に信号電荷が残留しない構造は、フォトダイオードの表面を高濃度の反対極性層で覆う必要があり、読み出し時に大きな電圧を必要とする。このことは、C M O S 型イメージセンサの特長である低電圧駆動、低消費電力と相反することになり、このままでは許容されない。

【 0 0 1 6 】

本発明は、このような問題を解決するものであり、その目的は、電荷転送不良により発生する残像現象を解消して、低ノイズ、高感度、高画質の固体撮像装置を提供するものである。

【 0 0 1 7 】

【課題を解決するための手段】

本発明の固体撮像装置は、光電変換素子と電荷検出部とがトランスファゲートで分離されており、該電荷検出部が、リセットゲートを介してドレインに接続されると共に、該電荷検出部の電位変化が増幅用トランジスタで増幅され、該増幅用トランジスタの出力信号が画素選択用トランジスタにて選択的に読み出される、固体撮像装置であって、

該電荷検出部の電位をリセットした後、光電変換素子から該電荷検出部へ電荷転送を行い、該増幅用トランジスタおよび該画素選択トランジスタを介して信号

電荷の読み出しを行った後に、該トランスファゲートおよび該リセットゲート共にON状態で、該ドレインをHigh状態→Low状態→High状態へ変化させることによって、該光電変換素子の電位が読み出し動作毎に一定電位にプリセットされるようになっていることを特徴とする。

【0018】

複数の前記光電変換素子がマトリクス状に配列されており、前記ドレインは、水平方向に行単位で走査回路に独立に接続されており、走査回路によりパルス状の駆動電圧を行単位で順次印加される。

【0019】

前記電荷検出部の電位をリセットした直後の信号と、前記光電変換素子から前記電荷検出部へ電荷転送を行った直後の信号との差分に基づいて、正味の信号成分を出力する相関2重サンプリング回路が設けられている。

【0020】

前記トランスファゲート、前記リセットゲート、前記増幅用トランジスタおよび画素選択用トランジスタは、すべて同じ極性のMOSトランジスタによって形成されている。

【0021】

前記トランスファゲートおよび前記リセットゲートは、共に埋め込みチャネル型MOSトランジスタである。

【0022】

前記トランスファゲートを駆動するパルス電圧のハイレベルは、前記リセットゲートを駆動するパルス電圧のハイレベルより低い電圧である。

【0023】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。

図1は、本発明による固体撮像装置の例を4画素の回路構成で示した回路図である。1画素の回路構成は、フォトダイオード1、トランスファゲート2、リセットゲート3、増幅用トランジスタ4、画素選択用トランジスタ5である。電荷転送クロックライン12、リセットクロックライン13、画素選択クロックライン

15は、水平方向の駆動パルス電圧を供給し、更にリセットゲート3および増幅用トランジスタ4のドレインに接続された電源線140は、電源パルス電圧を供給し、それぞれ垂直走査回路23, 22, 21, 24に接続されている。i行目の駆動パルス電圧 $V_{RS}(i)$, $V_{SE}(i)$, $V_{TX}(i)$ は、それぞれリセットゲート3、画素選択用トランジスタ5のゲート、トランスファゲート2へ印加され、i行目の電源パルス電圧 $V_D(i)$ は、リセットゲート3および増幅用トランジスタ4のドレインに印加される。各列毎の垂直信号線16には、負荷トランジスタ17が接続されており、垂直信号線16の信号が駆動トランジスタ31および水平選択スイッチトランジスタ32を介して、水平信号線36に伝達される。水平選択スイッチトランジスタ32は、水平走査回路34からの信号35により駆動される。水平信号線36には、負荷トランジスタ33が接続されており、水平信号線36の信号がバッファアンプ37で増幅され出力OSとなる。

【0024】

図2は、図1の回路動作を説明するタイミングチャートである。i行目、i+1行目の各駆動パルス電圧 $V_{RS}(i)$, $V_{SE}(i)$, $V_{TX}(i)$, $V_{RS}(i+1)$, $V_{SE}(i+1)$, $V_{TX}(i+1)$ および電源パルス電圧 $V_D(i)$, $V_D(i+1)$ は、1水平走査期間(1H)を隔てて同様のパルス電圧波形であるため、i行目について説明する。

【0025】

本発明では、電源電圧 V_D も読み出し動作に同期して変化する。電源電圧 V_D は、図2に示すように水平方向に行単位で変化する電源パルス電圧 $V_D(i)$ のパルス波形でリセットゲート3および増幅用トランジスタ4のドレインに印加される。

【0026】

期間 t_1 では、リセットゲート3: $RS(i)$ がON状態となり、ゲートのポテンシャルエネルギーが下がるためにリセットゲート3: $RS(i)$ のドレインより電荷検出部FDへ電荷移動が起こり、電荷検出部FDの電位を電源パルス電圧 $V_D(i)$ にリセットする。

【0027】

期間 t_2 では、リセットゲート 3 : $RS(i)$ は、OFF 状態となるが電荷検出部 FD ではリセット時の電位 $VD(i)$ が保持される。

【0028】

期間 t_3 では、トランスファゲート 2 : $TX(i)$ が ON 状態となり、ゲートのポテンシャルエネルギーが下がるためにフォトダイオード 1 : PD に蓄積された信号電荷が電荷検出部 FD へ転送される。

【0029】

期間 t_4 では、トランスファゲート 2 : $TX(i)$ が OFF 状態となるが電荷検出部 FD では信号電荷転送時の電位が保持される。ここまでの期間では、電源パルス電圧 $VD(i)$ および駆動パルス電圧 $VSE(i)$ は、ハイレベルを保持している。期間 $t_1 \sim t_4$ において、画素選択クロックライン 15 の駆動パルス電圧 $VSE(i)$ が画素選択用トランジスタ 5 のゲートへ印加され、画素選択用トランジスタ 5 が ON 状態であるため、電荷検出部 FD の検出信号は垂直信号線 16 へ出力される。

【0030】

図 3 は、フォトダイオード 1 : PD (i)、トランスファゲート 2 : $TX(i)$ 、リセットゲート 3 : $RS(i)$ 、電荷検出部 FD の各部の接続状態とポテンシャルエネルギーとを示す図である。期間 $t_1 \sim t_4$ の図 3 の回路動作は、次のように説明できる。図 2 の期間 t_1 で電荷検出部 FD の電位を電源パルス電圧 $VD(i)$ にリセットした後、期間 t_3 でフォトダイオード 1 : PD に蓄積した信号電荷を電荷検出部 FD へ読み出す。この時、読み出される信号電荷量は、信号レベルのポテンシャルエネルギー F_s からトランスファゲート 1 : $TX(i)$ の ON 状態でのハイレベルポテンシャルエネルギー F_0 までの量ではなく、更に $\Delta 1$ だけ深いポテンシャルエネルギーまでの量である。これは熱放出効果により、フローティング状態のフォトダイオード 1 : PD からポテンシャルバリア $\Delta 1$ を越えて余分な電荷が放出されるからである。

【0031】

本発明では、この現象は、信号の明るい状態あるいは暗い状態にかかわらず常に 1 回しか発生せず、それ以上は進行しない。フォトダイオード 1 : PD のポテ

ンシャルエネルギーのリセットレベルは、常に F_1 で固定される。それは、以下に述べる期間 $t_5 \sim t_7$ の動作による。

【0032】

期間 $t_5 \sim t_7$ の動作は、図2と図3とを用いて説明する。期間 t_5 では、電源パルス電圧 $V_D(i)$ が Low レベルとなり、トランスファゲート2: $TX(i)$ 、リセットゲート3: $RS(i)$ が ON 状態となるため、リセットゲート3: $RS(i)$ のドレインからフォトダイオード1: PD へ電荷が注入される。期間 t_6 では、電源パルス電圧 $V_D(i)$ が再び $High$ レベルとなり、トランスファゲート2: $TX(i)$ 、リセットゲート: $RS(i)$ が ON 状態となるため、フォトダイオード1: PD に注入された電荷量の中で、トランスファゲート2: $TX(i)$ の ON 状態でのハイレベルポテンシャルエネルギー F_0 を越える電荷量が再びリセットゲート3: $RS(i)$ のドレインへ戻され、フォトダイオード1: PD の電位がプリセットされる。この時のフォトダイオード1: PD のポテンシャルエネルギーは、フォトダイオード1: PD の動作が期間 t_3 における動作と全く同じであることから、熱放出効果によりトランスファゲート2: $TX(i)$ の ON 状態でのハイレベルポテンシャルエネルギー F_0 から $\Delta 1$ だけ深いポテンシャルエネルギー F_1 となる。即ち、信号電荷の読み出し後のフォトダイオード1: PD の電位は常に一定電位 F_1 へ固定される。

【0033】

期間 $t_5 \sim t_6$ の回路動作は、フォトダイオード1: PD から信号電荷を読み出す動作毎に、フォトダイオード1: PD の電位を一定値に保持する動作となる。従って、信号の明るい状態あるいは暗い状態、および信号の継続期間に関係なく、常に同一基準電位 F_1 から信号電荷が蓄積するため、残像現象は発生しない。

【0034】

なお、期間 t_7 では、トランスファゲート2: $TX(i)$ がローレベルとなり、フォトダイオード1: PD を外部回路から遮断し、その電位を上記電位（ポテンシャルエネルギー） F_1 に保持した後に電荷検出部 FD をも遮断するための予備期間である。

【 0 0 3 5 】

図 3 において、リセットゲート 3 : $RS(i)$ およびトランスファゲート 2 : $TX(i)$ は、埋め込みチャネル型とされ、駆動パルス電圧 $V_{RS}(i)$ 、 $V_{TX}(i)$ がローレベルでも OFF 状態にならないように設定されている。これにより信号電荷蓄積時 (TX , RS とともにローレベル) に、過大光がフォトダイオード 1 : PD に入射した場合にも、過剰信号電荷は、リセットゲート 3 : $RS(i)$ のドレインへ排出され、ブルーミングが抑制される。また、トランスファゲート 2 : $TX(i)$ の駆動パルス電圧 $V_{TX}(i)$ のハイレベルは、リセットゲート 3 : $RS(i)$ の駆動パルス電圧 $V_{RS}(i)$ のハイレベルより低く設定され、信号読み出し時、フォトダイオードの信号は全て検出部へ転送されるようにされ、これにより電荷電圧変換ゲインは高く保たれる。

【 0 0 3 6 】

図 4 は、本発明による固体撮像装置の他の例を 4 画素の回路構成で示した回路図である。図 4 は、図 1 の固体撮像装置に対して、垂直信号線 16 内で駆動トランジスタ 31 の直前に、相関 2 重サンプリング (CDS) 回路 18 を付加した点が異なる。相関 2 重サンプリング (CDS) 回路 18 には、クランプクロック ϕ_{CL} およびサンプルホールドクロック ϕ_{SH} が印加される。

【 0 0 3 7 】

図 5 は、図 4 の回路動作を説明するタイミングチャートである。垂直信号線 16 には、期間 $t_1 \sim t_4$ の間に画素選択用トランジスタ 5 により選択された画素信号が読み出される。期間 t_2 では、電荷検出部 FD をリセットした直後の電荷検出部 FD の電位信号が、期間 t_4 では、フォトダイオード 1 : PD から電荷検出部 FD へ読み出された信号電荷による電荷検出部 FD の電位信号がリセットレベルのポテンシャルエネルギーを基準として、それぞれ現れる。このため、相関 2 重サンプリング (CDS) 回路 18 は、期間 t_2 内で画像信号をクランプパルス ϕ_{CL} によりクランプし、期間 t_4 内で画像信号をサンプルホールドパルス ϕ_{SH} によりサンプルホールドすることで、電荷検出部 FD をリセットした直後の電位信号と、フォトダイオードから電荷検出部 FD へ電荷転送を行った直後の電位信号の差分を取ることができる。すなわちサンプルホールド出力信号は、正味の

信号電荷による電荷検出部の電位変化のみの信号となる。これにより、画素毎のオフセットレベルのバラツキおよびリセット動作に伴い発生するリセットノイズは、キャンセルされ極めて低ノイズの高画質画像信号が得られる。

【0038】

なお、上記相関2重サンプリング(CDS)回路18では、クランプ回路とサンプルホールド回路の組み合わせの例を示したが、本発明は、これに限定されるものではない。他の画像信号の検出方法としては、前述の電荷検出部FDの電位信号をリセットした直後の信号をサンプルホールドした第1の信号と、フォトダイオード1:PDから電荷検出部FDへ電荷転送を行った直後の信号をサンプルホールドした第2の信号との間で、差動アンプ等により差分を取る方法でも良い。

【0039】

【発明の効果】

以上より、本発明の固体撮像装置は、ドレインを水平方向に行単位で独立に接続し、フォトダイオードから電荷検出部へ電荷転送した後に、トランスファゲートおよびリセットゲートが共にON状態で、ドレインへ走査回路からのパルス電圧を行単位で順次印加することにより、フォトダイオードの電位が読み出し動作毎に一定電圧に保持され、残像現象が解消できる。その結果、画素構成要素を変更することなく、低ノイズで高感度、高画質の画像信号が得えられる。

【図面の簡単な説明】

【図1】

本発明の固体撮像装置の実施形態で、4画素を含む回路図である。

【図2】

図1の固体撮像装置における駆動パルス電圧のタイミングチャートである。

【図3】

図1および図2の固体撮像装置の回路動作における各部の接続とポテンシャルエネルギーとを示す図である。

【図4】

本発明の固体撮像装置の他の実施形態で、4画素を含む回路図である。

【図5】

図 4 の固体撮像装置における駆動パルス電圧のタイミングチャートである。

【図 6】

従来の固体撮像装置の回路図である。

【図 7】

従来の固体撮像装置における駆動パルス電圧のタイミングチャートである。

【図 8】

従来の固体撮像装置の回路動作における各部の接続とポテンシャルエネルギーとを示す図である。

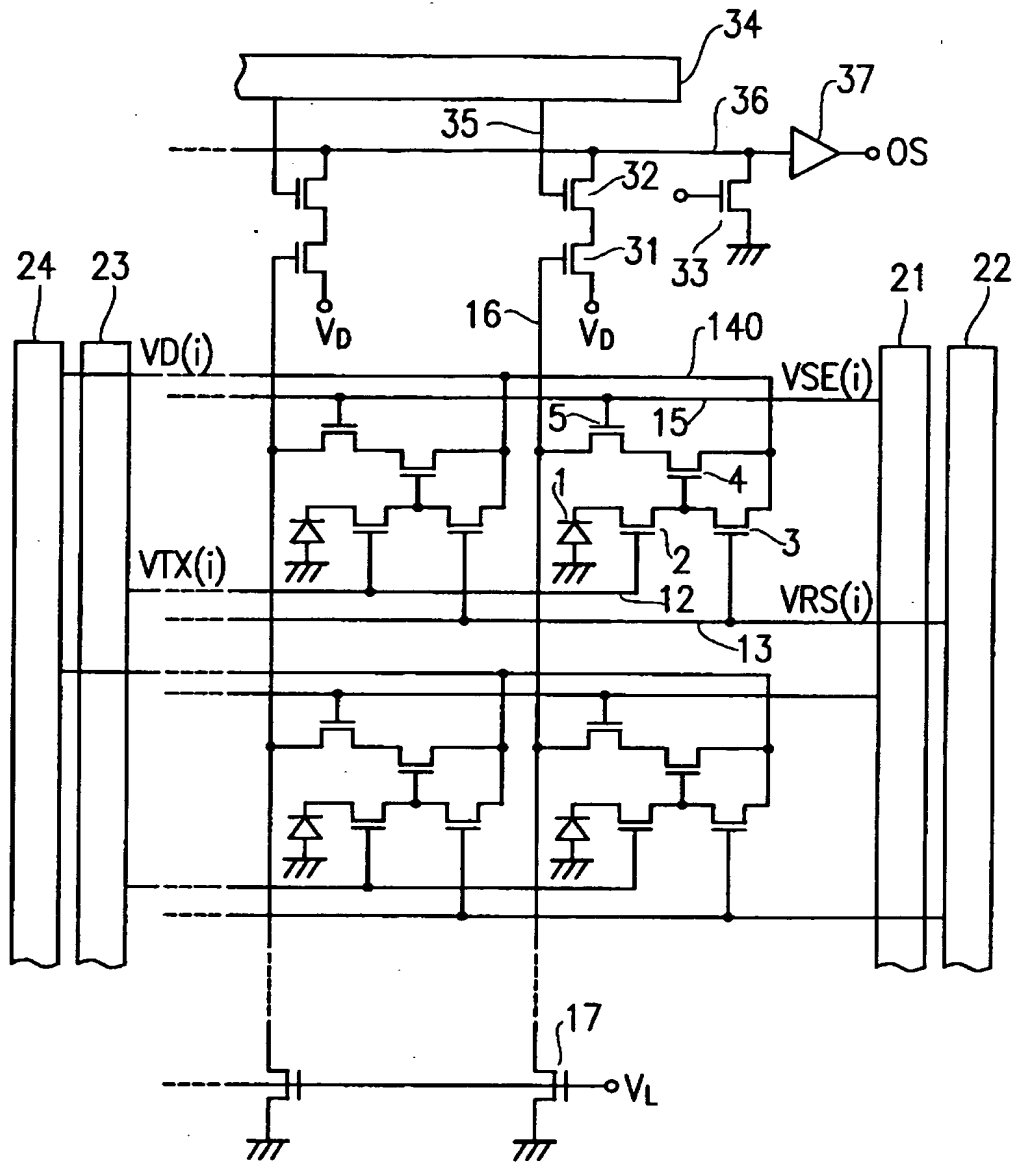
【符号の説明】

- 1 フォトダイオード
- 2 トランスファゲート
- 3 リセットゲート
- 4 増幅用トランジスタ
- 5 画素選択用トランジスタ
- 1 2 電荷転送クロックライン
- 1 3 リセットクロックライン
- 1 4 電源線
- 1 5 画素選択クロックライン
- 1 6 垂直信号線
- 1 7 負荷トランジスタ
- 1 8 相関 2 重サンプリング (C D S) 回路
- 2 1 垂直走査回路
- 2 2 垂直走査回路
- 2 3 垂直走査回路
- 2 4 垂直走査回路
- 3 1 駆動トランジスタ
- 3 2 水平選択スイッチトランジスタ
- 3 3 負荷トランジスタ
- 3 4 水平走査回路

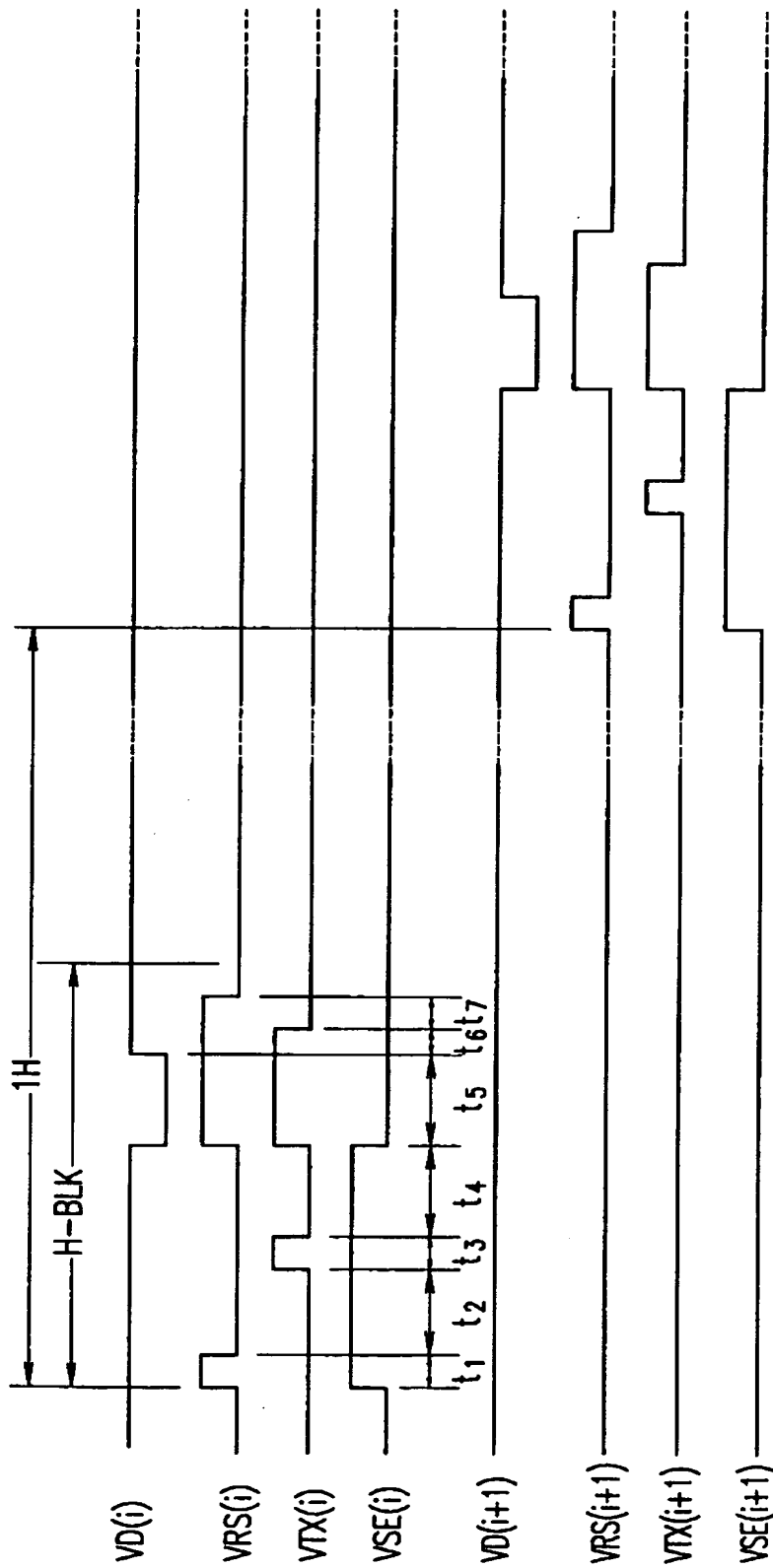
- 3 5 水平走査信号
- 3 6 水平信号線
- 3 7 バッファアンプ
- 1 4 0 ドレインに接続された電源線

【書類名】 図面

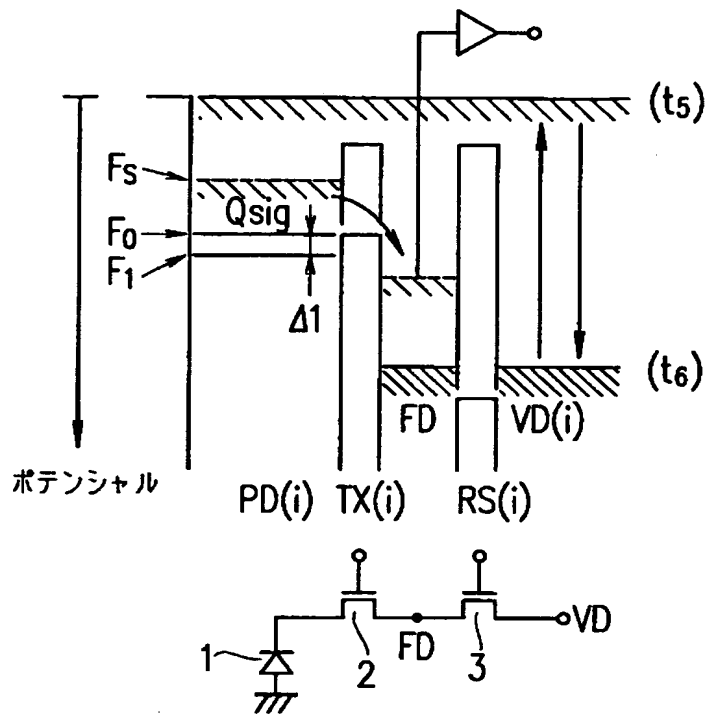
【図 1】



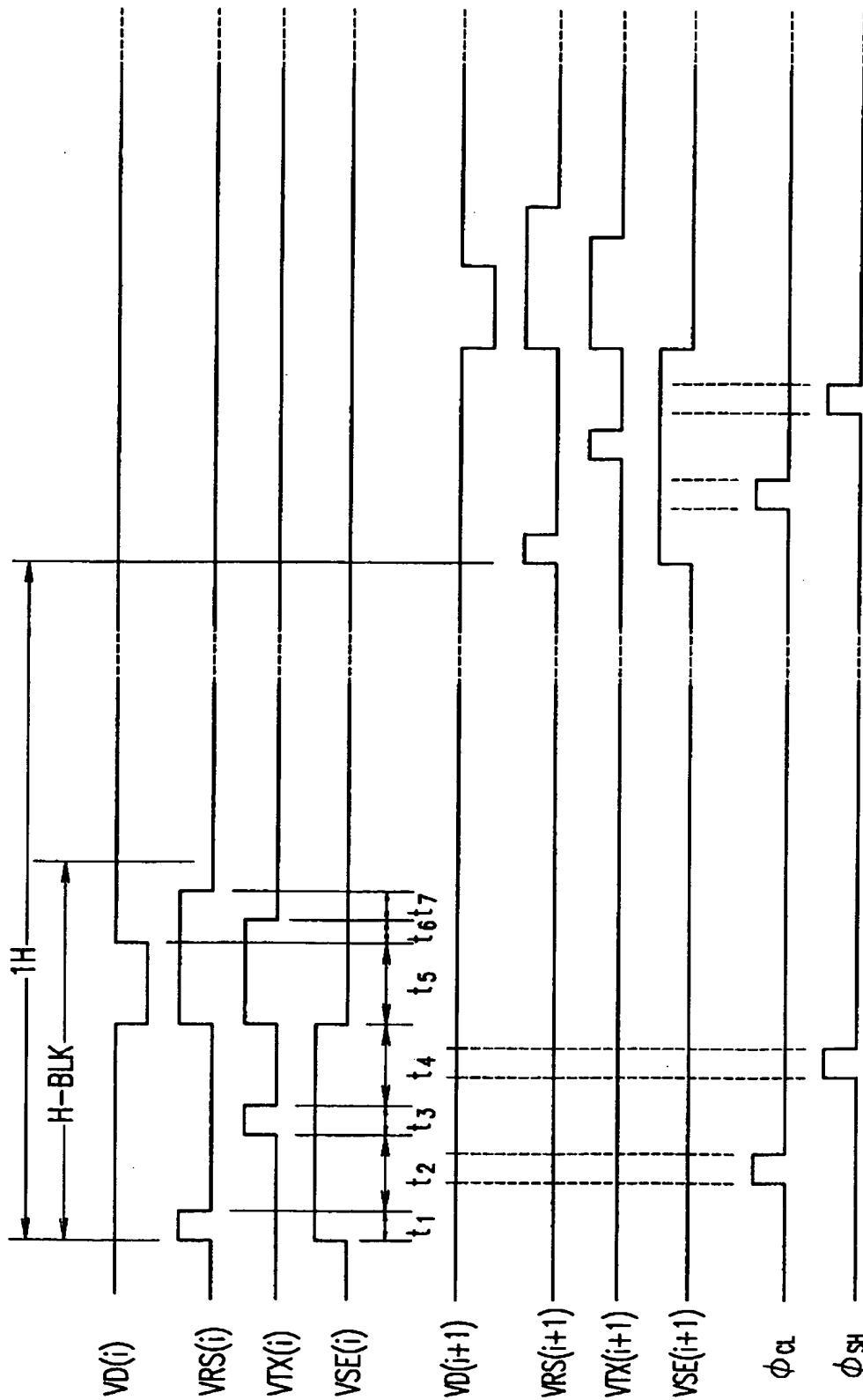
【図 2】



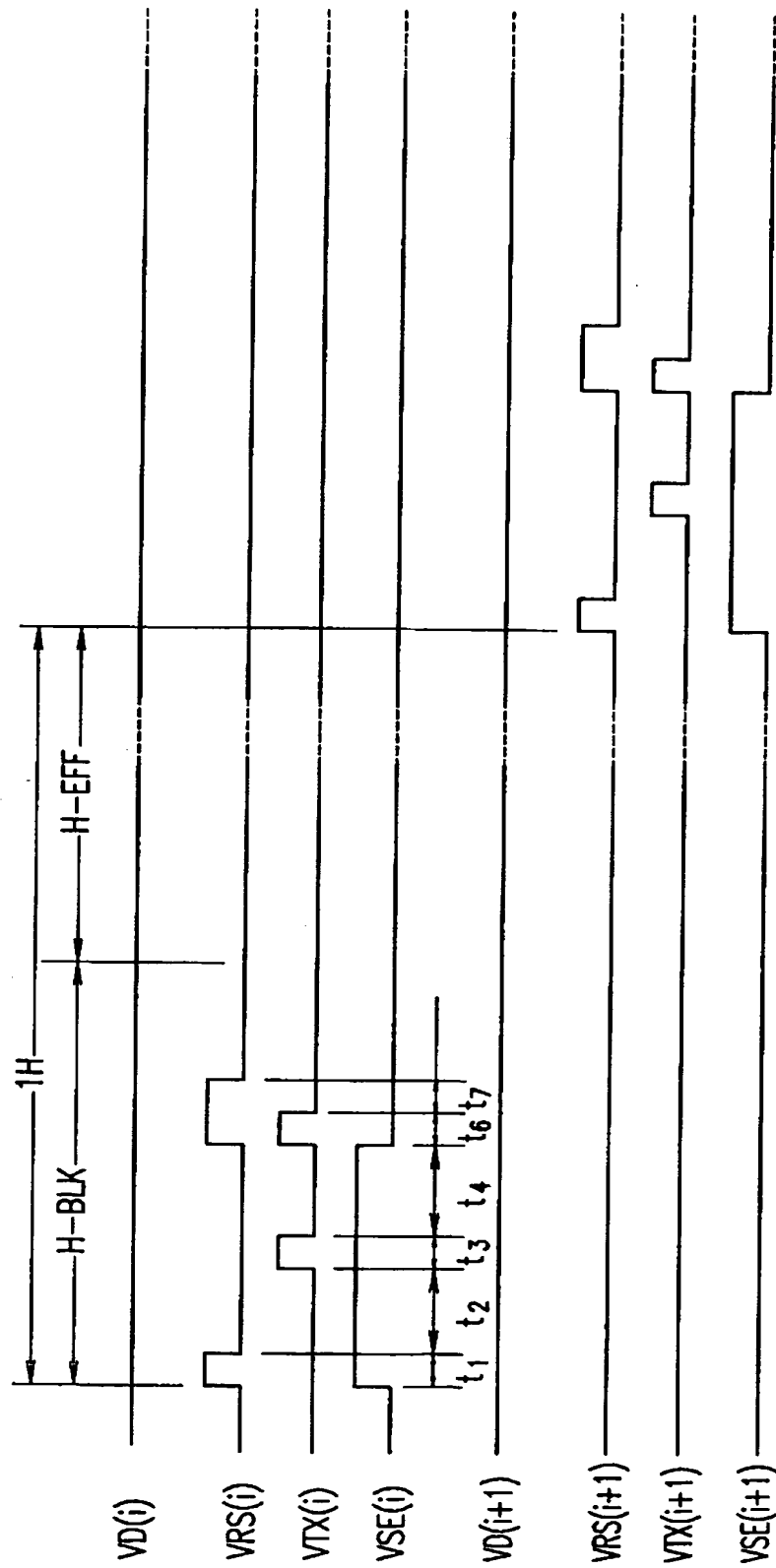
【図 3】



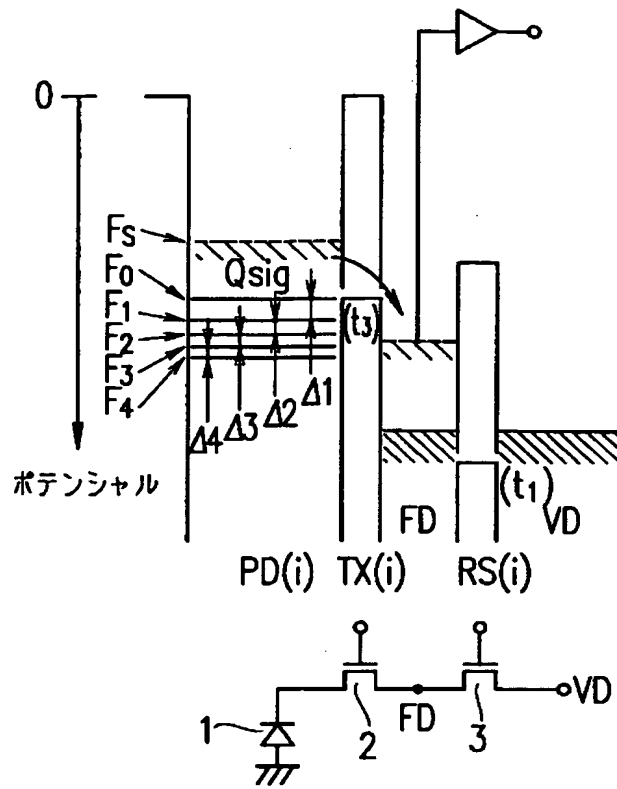
【図 5】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 電荷転送不良により発生する残像現象を解消して、低ノイズ、高感度、高画質の画像信号を得る。

【解決手段】 電荷検出部FDの電位をリセットした後、フォトダイオード1から電荷検出部FDへ電荷転送を行い、増幅用トランジスタ4および画素選択トランジスタ5を介して信号電荷の読み出しを行った後に、トランスファゲート2およびリセットゲート3共にON状態で、ドレインをHigh状態→Low状態→High状態へ変化させることにより、フォトダイオード1の電位が読み出し動作毎に一定電位にプリセットされる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区长池町 2 2 番 2 2 号
氏 名	シャープ株式会社